

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

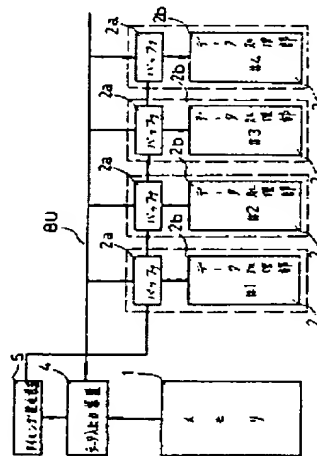
(11) Publication number: **02047757 A**(43) Date of publication of application: **16.02.90**

(51) Int. Cl.

G06F 15/16**G06F 15/66**(21) Application number: **63198417**(71) Applicant: **SANYO ELECTRIC CO LTD**(22) Date of filing: **09.08.88**(72) Inventor: **SUZUKI SHINYA****(54) INFORMATION PROCESSOR****(57) Abstract:**

PURPOSE: To give required data to all processors with one data transmission by providing an input/output means, which continuously supplies data to a bus, and a timing means which gives the timing at which data is taken into plural processors.

CONSTITUTION: A data input/output device 4 flows data on a memory 1 onto the bus in the order adapted to processing. A timing generator 5 generates the timing, at which data is taken into each processor 2, synchronously with this data. Each processor 2 has a buffer 2a which is connected to the bus and takes in data, and buffers 2a select data by the signal from the timing generator 5 and send this data to data processing parts 2b. When required data is completed, the data processing is performed in the data processing part 2b.



COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A)

平2-47757

⑤ Int. Cl.⁵G 06 F 15/16
15/66

識別記号

3 2 0 V
K

庁内整理番号

6745-5B
8419-5B

④ 公開 平成2年(1990)2月16日

審査請求 未請求 請求項の数 1 (全4頁)

⑥ 発明の名称 情報処理装置

⑦ 特 願 昭63-198417

⑧ 出 願 昭63(1988)8月9日

⑨ 発 明 者 鈴木 信也 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

⑩ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地

⑪ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称 情報処理装置

2. 特許請求の範囲

1) 複数のプロセッサで分担して情報処理を行う情報処理装置において、データをバスライン上に連続的に供給するデータ出力手段と、上記各プロセッサ内に設けられたデータ処理部と、各プロセッサ内に設けられ、夫々のデータ処理部と上記バスライン間の接続を制御するバッファと、これ等のバッファの開閉を制御して、各プロセッサのデータ処理部へ与えるデータを振り分けるためのタイミング発生装置とを有して成る情報処理装置。

3. 発明の詳細な説明

イ) 産業上の利用分野

本発明は、複数のプロセッサにより空間的または時間的に連続なデータを処理するシステムにおいて、特に各プロセッサにデータを供給する放送バス方式に関するものである。

ロ) 従来の技術

画像処理や音声処理等における連続的な情報の

処理を行うシステムにおいて、その情報処理量が多くなると1つのプロセッサで情報処理をしているのではその処理時間が長くなる。このため従来では第12図のようにメモリ11内に蓄積された画像情報等の連続情報を複数のプロセッサ12(12)…で分担を決めて例えば、各画素点での画素濃度(明るさ)の差分等の情報処理するようにしている。このような情報処理システムにおいて、プロセッサ12(12)…はアドレスバス、データバスバス(BU)を介して調停回路13を仲介として、優先順にメモリ11内のデータをアクセスする。

ハ) 発明が解決しようとする課題

ところでこうしたシステムには以下の欠点がある。各プロセッサ12(12)…は自分の処理すべきデータに一本のバスを使って個別にアクセスしようとする。空間的あるいは時間的に連続なデータの処理は、実際には周囲のデータの情報にもとずいて計算をする場合が多く、メモリ11などに蓄えた同じデータを複数のプロセッサ12(12)…が何度もアクセスする。このため多くのプロセッサ12(12)…が多

くのデータを同時にアクセスしようとする時、一つしかないバスの取り合いとなりデータを取り込めず、データ待ちをしているプロセッサは何も処理できないと云う無駄な待ち時間が増大する。また、仮にうまくバスの競合を避けることが出来ても、その調停に要する装置や制御方法は複雑かつ高価なものとなる。

ニ) 課題を解決するための手段

本発明はこのような点に鑑みて為されたものであって、データを連続的にバスに供給する入出力手段と、複数のプロセッサへデータを取り込むタイミングを与えるタイミング手段と、を設けている。

ホ) 作用

複数のプロセッサがバスの取り合いをすることなく、メモリ内のデータを1回バス上に送るだけで、全てのプロセッサに必要なデータを与えることが可能となる。

ヘ) 実施例

第1図は本発明データ伝送方式を用いた情報処

第2図に処理の各プロセッサへの分配を示す。この場合は各プロセッサ(2a)(2a)…は入力として6つのデータを取り、4つの出力データを生成する。(ここで分るように、もしもメモリ上にあるこのデータを各プロセッサが独立にデータのアクセスを行うとすれば、 $6 \times 4 = 24$ 回のデータアクセスが必要となる。データ1・2・3・4を供給するときはプロセッサIにだけ使用されるので第3図に示すようにプロセッサIのバッファ(2a)のみが開く。データ5・6を供給するときは、プロセッサIとIIに使用されるので第4図に示すようにプロセッサIとIIのバッファ(2a)が開く。データ7・8のときは、プロセッサIIにだけ使用されるので第5図に示すようにプロセッサIIのバッファ(2a)のみが開く。そしてデータ9・10のときはプロセッサIIとIIIに使用されるので第6図に示すようにプロセッサIIとIIIのバッファ(2a)のみを開く。以後同様にデータ18の供給まで行われる。このように、各プロセッサが持つバッファ(2a)の制御により、デ

ータ供給装置を示す基本ブロック図であって、第1図と同一部分には同一符号を付してある。同図において、データ入出力装置14は、メモリ11上のデータを処理に適した順番でバス(BU)上に流し、タイミング発生装置15は、そのデータと同期した形で各プロセッサ12(12)…へのデータを取り込むタイミングを作る。各々のプロセッサ12(12)…には、バス(BU)に接続されデータを取り込むバッファ(2a)(2a)(2a)…があり、タイミング発生装置15からの信号によりデータを選択してデータ処理部(2b)へ送る。データ処理部(2b)では必要なデータがそろった時点でデータ処理を行う。また、各プロセッサ12(12)…が処理を終了した後は、入力時とは逆の方向で、タイミング発生装置15の発生するタイミングでバッファ(2a)はデータを出し、データ入出力装置14を介しメモリ11上に所定の順番にデータを書き込む。ここで18個の連続性を有する各データに前後のデータとの平均を採るある種のフィルタをかけた16個のデータに変換する処理について説明する。

データ供給装置(ここではA/D変換器)は18個のデータを出力するだけで(18回のデータアクセスだけで)、全てのプロセッサに必要とされるデータが分配される。

第7図はカメラ入力された画像の処理を行う画像処理装置の一実施例であって、第1図と同一部分には同一符号を付してある。同図において、カメラ16を介して入力される入力信号は、タイミング発生装置15により制御されたA/D変換器17によりタイミングを取りながら変換され、放送バス(BU)上に流される。この時タイミング発生装置15は、専用の制御装置18によりコントロールされる。また、タイミング発生装置15は、放送バス上に並べられた各プロセッサ12(12)…のデータの入力状態を切り換えるバッファ(2a)(2a)…をも制御し、各データ処理部(2b)(2b)…に渡すデータを指定する。このようにして、各プロセッサ12(12)…は自分の必要とするデータを持ち、データが揃い次第実際の処理に入る。データの処理が終了し、出力データの準備ができたデータ処

理部(2b)(2b)…は、自分の後段のデータ処理部(2b)が処理を終了しているのかを確認した後、処理の終了を前段のデータ処理部(2b)に伝える。最前段のデータ処理部(2b)は後段からの終了信号と自分の処理終了により、タイミング発生装置(5)に処理の終了を伝える。それを受けタイミング発生装置(5)は、各プロセッサのバッファ(2a)(2a)…を順次出力状態に切り換えることにより、連続的なデータをD/A変換器(9)に送り、処理結果をモニタ(10)に表示する。第8図にこのバッファを制御するための簡単な回路を示す。この回路は基本的に16段のシフトレジスタ(11)と4個のNAND回路(12)(12)(12)及び4個のバッファ(2a)(2a)(2a)(2a)で構成される。シフトレジスタ(11)はシステムクロック ϕ により動作し、入力信号Dを4クロック分のディレイを持たせながらNAND回路(12)(12)…の入力Q0、Q1、Q2、Q3に供給する。このQ0、Q1、Q2、Q3とクロックの反転信号 ϕ とのNAND信号N1、N2、N3、N4によりバッファ

(2a)のON/OFFを制御する。

第9図にデータ入力時、第10図にデータ出力時のタイミングチャートを示す。この様に入力信号を変えることにより、データの分配が可能であり、簡単にバスの制御が出来ることが分かる。

また、第11図のブロック図のように、入力用のバス(BU1)と出力用のバス(BU2)とを分離した構成を取ることににより、より高速なシステムの構築ができる。さらに、こういった回路を何層かに重ね1種のパイプライン構造を持たせることにより、実時間で画像処理を行うシステムの実現も可能となる。

1) 発明の効果

以上述べた如く、本発明情報処理装置はデータを連続的にバスに流す入出力手段と、複数のプロセッサへデータを取り込むタイミングを与えるタイミング手段と、を設けているので、全てのプロセッサに1回のデータ送目でデータを送ることが出来、実質的処理の高速化が図れる。

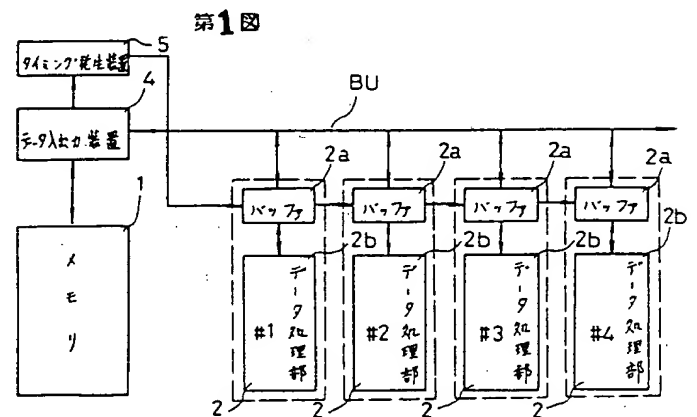
4. 図面の簡単な説明

第1図は本発明情報処理装置のブロック図、第2図乃至第6図は本発明情報処理装置の動作を説明するための説明図、第7図は本発明他の実施例を示すブロック図、第8図はバッファを制御するための回路ブロック図、第9図、第10図はその動作説明図、第11図は本発明のさらに異なる実施例を示すブロック図、第12図は従来の情報処理装置のブロック図である。

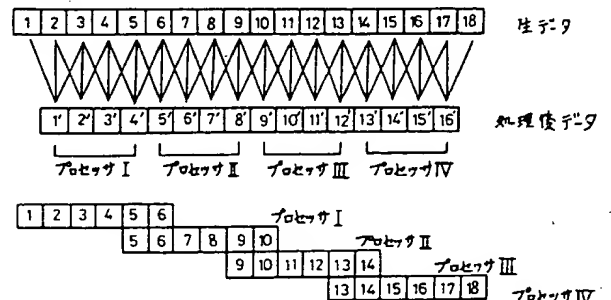
(1)…メモリ、(2)(2)…プロセッサ、(2a)(2a)…バッファ、(2b)(2b)…データ処理部、(3)…調停回路、(4)…データ入出力装置、(5)…タイミング発生装置。

出願人 三洋電機株式会社

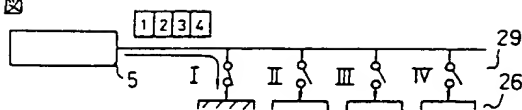
代理人 弁理士 西野 卓 剛 (外1名)



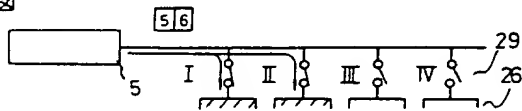
第2図



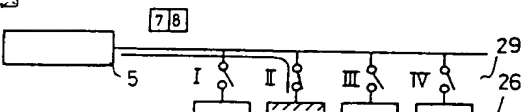
第3図



第4図



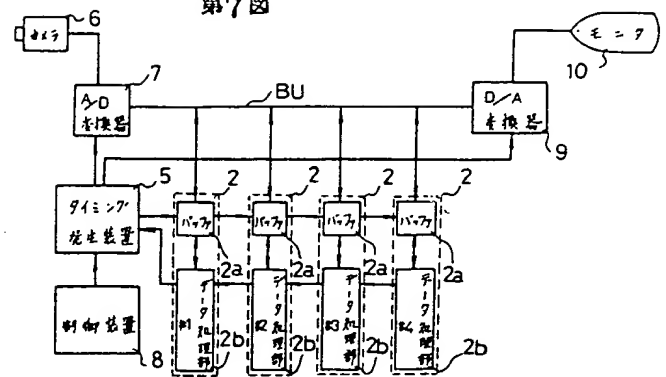
第5図



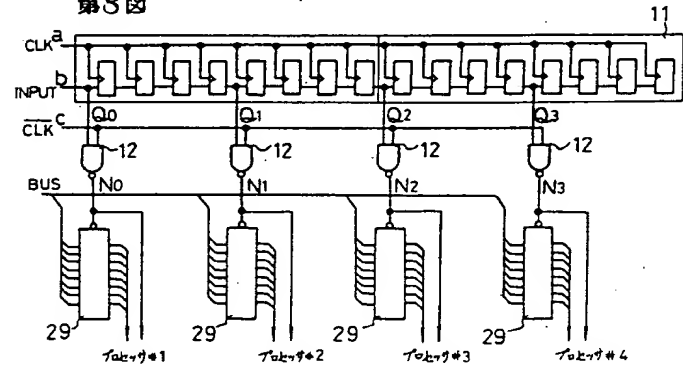
第6図



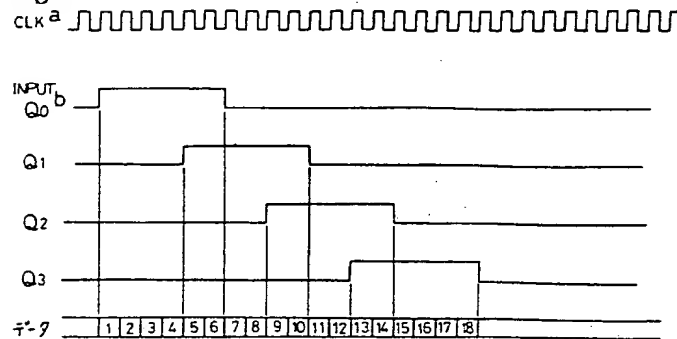
第7図



第8図



第9図



第10図

